

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335663

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 10-140692

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 22.05.1998

(72)Inventor : TSAY CHING-YUH
EFLAND TAYLOR RICE
ERDELJAC JOHN P
MITROS JOZEF C
HUTTER LOUIS NICHOLAS

(30)Priority

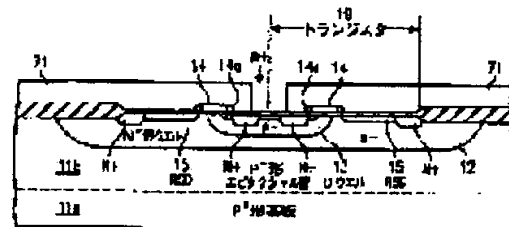
Priority number : 97 47474 Priority date : 23.05.1997 Priority country : US

(54) REDUCED SURFACE DRAIN(RSD) LDMOS POWER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reduced surface drain lateral double-diffusion MOS (RSD LDMOS) power device which is lessened in size and power consumption and excellent in surface conductance.

SOLUTION: An LDMOS transistor which is possessed of a reduced surface drain(RSD) region 15 and identical to a conventional planar LDMOS excluding an RSD region is obtained. An RSD region is used so as to arrange a drain region 17 apart from a gate 14. After a polysilicon process where the gate 14 is formed, the drain region 17 is arranged apart from the gate 14. A process where the transistor is formed is compatible with a process through which a conventional planar LDMOS device is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335663

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.*

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 D

3 0 1 G

3 0 1 S

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平10-140692

(22) 出願日

平成10年(1998)5月22日

(31) 優先権主張番号

0 4 7 4 7 4

(32) 優先日

1997年5月23日

(33) 優先権主張国

米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 チン - ユ ツァイ

アメリカ合衆国 テキサス州プラノ, ラウ
ンドロック トレイル 6300, アパートメ
ント 803

(72) 発明者 テイラー ライス エフランド

アメリカ合衆国 テキサス州リチャードソ
ン, オークリーフ レーン 3404

(74) 代理人 弁理士 浅村 皓 (外3名)

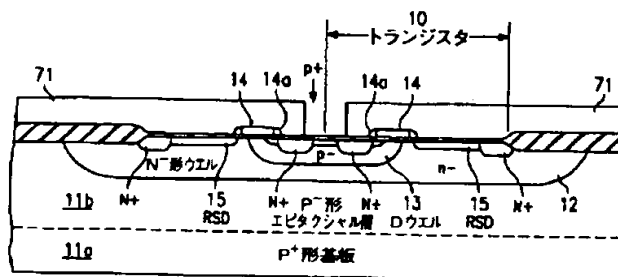
最終頁に続く

(54) 【発明の名称】 縮小した表面ドレイン (RSD) LDMOS電力用デバイス

(57) 【要約】

【課題】 小型で消費電力が小さく良好な表面コンダクタンスを有する縮小された表面ドレイン横型2重拡散MOS (RSD LDMOS) 電力用デバイスを提供する。

【解決手段】 縮小された表面ドレイン (RSD) 領域15を有するがその他は従来のプレナLDMOSトランジスタと同様であるLDMOSトランジスタが得られる。ドレイン領域17をゲート14から間隔をあけて配置するために、RSD領域が用いられる。ゲート14を作成するために用いられるポリシリコン工程の後に、このことが実行される。トランジスタを作成するのに用いられる工程は、従来のプレナLDMOSデバイスに対し用いられる工程と両立可能である。



【特許請求の範囲】

【請求項1】 第1導電形の半導体層と、

前記第1導電形と反対の導電形である第2導電形を有し
および前記半導体層の中にウエルとして形成された、第
2領域と、

前記第2領域の中にウエルとして形成された前記第1導
電形の第3領域と、

前記第3領域の中に形成された前記第2導電形のソース
領域と、

前記第2領域の中で前記ソース領域から間隔をあけて作
成されおよびドレイン添加不純物濃度を有する、前記第
2導電形のドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記第2領
域の中で前記ドレイン領域に隣接して作成されおよび前
記ドレイン添加不純物濃度よりは小さな添加不純物濃度
を有する前記第2導電形のRSD領域であって、前記ソ
ース領域と前記RSD領域との間に前記第3領域がチャ
ネルを形成するように前記ソース領域が前記RSD領
域から間隔をあけて作成された、前記RSD領域と、
前記ソース領域の少なくとも一部分の上および前記チャ
ネルの上および前記RSD領域の少なくとも一部分の
上に配置されたゲートと、

前記第3領域の中で前記ソース領域に隣接して作成され
た前記第1導電形のバックゲート領域であって、前記ソ
ース領域が前記バックゲート領域および前記チャンネル
を分離する、前記バックゲート領域と、を有する、縮小
した表面ドレイン(RSD)LDMOSTランジスタ。

【請求項2】 第1導電形の半導体層を作成する段階
と、

前記第1導電形と反対の導電形である第2導電形を有し
および前記半導体層の中にウエルとして形成された、第
2領域を作成する段階と、

前記第2領域の中にウエルとして形成された前記第1導
電形の第3領域を作成する段階と、

前記第3領域の少なくとも一部分の上にゲートを作成す
る段階と、

前記第2領域の中に前記第2導電形のRSD領域を作成
する段階であって、前記RSD領域の第1側面が前記ゲ
ートの第1側面と整合し、および前記RSD領域が前記
ゲートから外側に広がっている、前記RSD領域を作成
する前記段階と、

前記第3領域の中に前記第2導電形のソース領域を作成
する段階であって、前記ソース領域と前記RSD領域と
の間に前記第3領域がチャンネルを形成するように前記
ソース領域が前記ゲートの第2側面の下でかつ前記RSD
領域から間隔をあけて配置された、前記ソース領域を
作成する前記段階と、

前記RSD領域により前記ゲートの第1側面から間隔を
あけて配置された前記第2導電形のドレイン領域を前記
第2領域の中に作成する段階と、を有し、および前記ソ

ース領域および前記ドレイン領域の添加不純物濃度が前
記RSD領域の添加不純物濃度よりも大きい、RSD
LDMOSTランジスタの製造法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体デバイスに関
する。さらに詳細に言えば、本発明はLDMOS(later
al double-diffused metal oxide semiconductor、横型
2重拡散の金属・酸化物・半導体)デバイスに関する。

【0002】

【発明が解決しようとする課題】ノートブック型パーソ
ナル・コンピュータやパーソナル・デジタル支援装置
および無線通信デバイスのような電池で動作する電子装
置は、電池の電力を分配するオン抵抗値が小さい電子ス
イッチのような電力用MOS(metal oxide semiconduct
or、金属・酸化物・半導体)デバイスを用いることが多
い。電池で動作する装置の応用の場合、電池の電力消費
が可能な限り小さいことを確実に得るために、オン抵抗
値が小さいことが特に重要である。このことにより、電
池の寿命を長くすることができる。

【0003】DMOSデバイスは、「2重拡散の」MO
Sデバイスである。DMOSデバイスの特徴は、ソース
領域と、同時に拡散が行われるバックゲート領域とであ
る。バックゲート領域は、Dウエル(2重拡散が行われ
たウエル)領域と呼ばれることがある。チャンネルは、
別の注入によるよりはむしろ2つの拡散の差によって作
成される。DMOSデバイスは小さなチャンネル長を得
ることができるという利点を有し、それにより電力消費
が小さくなりおよび高速で動作する性能が得られる。

【0004】DMOSデバイスは、横型構造と垂直型構
造とのいずれかであることができる。横型構造(下記で
はLDMOSと呼ばれる)を有するDMOSは、半導体
ウエハの表面にソースおよびドレインを備えている。L
DMOSに要求される特性は、ブレイクダウン電圧BV
が高いことおよび特性オン抵抗値が小さいことである。

【0005】

【課題を解決するための手段】本発明の1つの特徴は、
縮小された表面ドレイン(RSD、reduced surfacedra
in)領域を有するLDMOSTランジスタである。この
ランジスタは、第1導電形、例えばP形、の第1層を
有する半導体ウエハの上に製造される。第1導電形と反
対の導電形である第2導電形、例えばN形、の第2領域
が、第1半導体層の中のウエルとして作成される。第1
導電形の第3領域が、第2領域の中に作成される。

【0006】第2導電形のソース領域が、第3領域の中
に作成される。第2導電形のドレイン領域が、ソース領
域から間隔をあけて第2領域の中に作成される。第2導
電形のRSD領域が、ソース領域とドレイン領域との間
でドレイン領域に隣接した第2領域の中に作成される。
このRSD領域は、ドレイン領域の中の不純物添加濃度

よりも小さな不純物添加濃度を有する。また、前記第3領域がRSD領域とソース領域との間にチャンネルを形成するように、RSD領域がソース領域から間隔をあけて作成される。ゲートはこのチャンネルの上と、ソース領域の少なくとも一部分の上と、RSD領域の少なくとも一部分の上に広がっている。ソース領域がバックゲート領域とチャンネルとを分離するように、第1導電形のバックゲート領域がソース領域に隣接する第3領域の中に作成される。

【0007】本発明のRSD LDMOSトランジスタは、ハードディスク駆動装置およびRFの応用に対して十分に適している。ブレイクダウン電圧を改良する目的での再表面処理ドレイン拡張(RSRF, resurface drain extended) LDMOSデバイスのような他のLDMOSデバイスに比べて、この工程は複雑ではなく、そして良好な熱的安定度を有する。

【0008】テストの結果、このトランジスタは $R_{sp}=0.39m\Omega \cdot cm^2$ および $BV=24.4$ ボルトが可能であることが分かった。この結果は、従来のプレナLDMOSデバイスの $R_{sp}=0.59m\Omega \cdot cm^2$ および $BV=18\sim 20$ ボルトに比べて有利である。 R_{sp} の測定は、 $3MV/cm$ のゲート・ストレスと、 $V_{gs}=12.75$ ボルトおよび $T_{ox}=425$ オングストロームで行われた。

【0009】また別のLDMOSの実施例である浅いN形ウエル(LV N形ウエル) LDMOSデバイスに比べて、RSD LDMOSデバイスは、ドーナツ形のウエルよりもむしろ連続固体ウエル(solid well)を用いるならば、ピッチをさらに小さくすることが可能である。少量の不純物が添加されたドレイン領域がゲート・ポリシリコン層に対して自己整合しており、それにより工程の安定度を確実に得ることができる。RSD領域によりさらに小さな層寸法が可能であり、および表面において良好なコンダクタンスを得ることができる。

【0010】従来のデバイス構造とその工程に対する固執のために、全体的に、本発明のRSD LDMOSデバイスは望ましいデバイスである。同時に、良好な R_{sp} 対BVの動作特性を得ることができる。

【0011】

【発明の実施の形態】図1は、本発明に従う縮小された表面ドレイン(RSD, reduced surface drain) LDMOSトランジスタ10の横断面正面図である。トランジスタ10は縮小された表面ドレイン(RSD)領域15を有するが、その他の点はプレナ形LDMOSデバイスと同じである。図1には示されていないけれども、ゲート14の下に薄い酸化層は、非プレナ形LDMOSデバイスの場合のように、ソース領域16とドレイン領域17との間に厚いフィールド酸化層を有していない。

【0012】図2～図7に関連して下記で説明されるように、RSD領域15はゲート14として用いられるポ

リシリコンと自己整合して作成される。トランジスタ10は低電圧に対して最適化された2重拡散により作成され、そして高電圧N形ウエル12とRSD領域15とにより自己分離される。

【0013】さらに、ドレイン領域17はゲート14から後方に間隔をあけて作成される。その結果、ブレイクダウン電圧が増強されて15ボルト～35ボルトの範囲になる。他のプレナ形LDMOSデバイスに比べて、RSD領域15の特性オン抵抗値(R_{sp})が増強される。RSD領域15は、少量の不純物が添加されたドレインを備えたトランジスタ10の表面において、オン状態における電流に対し良好なコンダクタンスを有する。

【0014】本発明のRSD領域15を備えていないLDMOSデバイスの製造は、テキサス・インスツルメンツ・インコーポレイテッド社に譲渡された名称「中程度電圧LDMOSデバイスとその製造法(Medium Voltage LDMOS Device and Method of Fabrication)」の出願中米国特許シリアル番号第 号(代理人整理番号TI-18836)に開示されている。この出願中特許の内容は本出願の中に取り込まれている。その製造工程はフィールド酸化層(非プレナ)型LDMOSを開示しているけれども、フィールド酸化層段階を省略することができ、そしてその他の工程段階は下記で説明される工程段階と同様であることができる。

【0015】図2～図7は、多数個のトランジスタ10を備えたダイが作成される半導体ウエハの製造の順次の段階を示した横断面正面図である。この製造段階は、フォトリソ・パターン作成や種々の部材の沈着、注入、拡散のような、既知の種々の半導体製造技術を用いる。この製造工程は、テキサス・インスツルメンツ・インコーポレイテッド社により開発された線形BiCMOS技術のような技術と両立可能である。

【0016】酸化層、窒化物層、フォトリソ層の沈着、およびそれらのエッチングおよび除去のような、フォトリソのパターン作成の具体的な段階は完全には示されていない。しかし露出された領域に部材を注入または沈着する目的のために、これらの段階を用いて、ウエハの表面の露出された領域およびマスクされた領域を得ることができることが理解されるであろう。

【0017】従来のLDMOSの製造の場合のように、それぞれのトランジスタ10は高電圧N形ウエルの内側に作成される。ゲート酸化層(モート)はこの構造体のすべてにわたって定められる。デバイスの内側には、厚いフィールド酸化層が用いられない。

【0018】図2は、トランジスタ10を備えたダイの製造の初期の段階において、P⁺形基板11aの上にP⁻形エピタキシャル層11bを作成されることを示している。P⁺形基板11aは、典型的には、ホウ素のような第1導電形の部材が不純物として多量に添加されたP⁺形シリコンである。P⁻形エピタキシャル層11b

は、典型的には、気相エピタキシ法や液体金属エピタキシ法または他の適切な方法で成長された、少量の不純物が添加されたP⁻形シリコンである。

【0019】ここで説明されている実施例では、通常のMOSデバイスの場合のように、P形不純物とN形不純物との使用を逆にすることができることが分かるはずである。通常は、P形不純物を第1導電形を有する不純物とし、そしてN形不純物を第2導電形を有する不純物であるとされるが、しかしまたその逆であることも可能である。

【0020】次に、酸化物層および窒化物層（明確には示されていない）が作成され、そしてパターンに作成されて、リンやアンチモンまたはヒ素のようなN形部材の注入が行われる。この注入により、N形ウエル12が作成される。次に、N形ウエル12に拡散が行われ、そして酸化物および窒化物が除去される。N形ウエル12は、高電圧、低濃度（N⁻形）の深い拡散ウエルである。N形ウエル12により、それぞれのトランジスタ10に対して自己分離が得られる。

【0021】図3は、Dウエル13の作成を示した図である。パッド酸化物層31が作成され、そしてウエハの表面上でフォトレジスト層32がパターンに作成され、そしてエッチングが行われる。このパターンを用いて表面の一定の領域が露出される。この領域にP形不純物とN形不純物の注入が行われ、そして2重拡散が行われて、低濃度（P⁻形）のDウエル13が作成される。次に、酸化物層31およびフォトレジスト層32が除去される。閾値調整層（P⁻形）が注入される。その結果、N形ウエル12の表面が抵抗性の表面になり、そしてトランジスタ10に対して小さなオン抵抗値が得られる。

【0022】図3のDウエル13は、「連続固体型」Dウエルである。他の実施例では、Dウエル13は「ドーナツ（トロイダル）型」構造を有することができる。

【0023】図4は、ゲート酸化物層41およびゲート14の作成を示した図である。酸化物層41が作成され、そしてパターンに作成された窒化物を用いて表面の一定の領域が露出され、そしてこの領域に厚いフィールド酸化物領域および窒化物層41aが成長される。次にゲート酸化物が成長され、そしてポリシリコン層が沈着され、そしてパターンに作成されたフォトレジスト（図示されていない）を用いてエッチングが行われる。それによりゲート14となる一定の領域が露出される。その後フォトレジストが除去され、そしてゲート14が残る。

【0024】図5は、RSD領域の作成を示した図である。フォトレジスト層51を適切なパターンに作成することをウエハの表面の要求された領域のマスクが行われ、そしてこの領域が露出される。この露出された領域に、N導電形の部材、具体的にはヒ素およびリン、

の浅い共通注入が行われる。「共通注入」は同じマスクを通して行われるが、必ずしも同時に行われる必要はない。RSD領域15の典型的な深さは0.3マイクロメートルである。RSD領域15に関しては、熱サイクルは行われない。RSD領域15により縮小した表面侵入と、ゲート14に隣接する縮小した表面フィールドと、ドレイン領域17の中に減少した表面抵抗値とが得られる。

【0025】ポリシリコン工程を用いてゲート14を作成した後にRSD領域15の注入が行われるので、RSD領域15はゲート14に対して自己整合している。また、RSD領域15を用いてDウエル領域13を終端することができる。このことは重要である。それは、Dウエル領域の注入に対して用いられるマスクはゲート作成工程に用いられるマスクと不整合である可能性が潜在的にあるからである。ゲートの幅をさらに小さくすることが達成可能であり、それによりオン抵抗値が改善される。

【0026】図6は、ゲート14の側壁14aと、ソース領域16およびドレイン領域17に対するN⁺形注入と、を示した図である。側壁14aは、従来の側壁技術を用いて作成することができる。ソース領域16およびドレイン領域17のために、フォトレジスト層61がパターンに作成されそしてエッチングが行われる。それによりソース領域16およびドレイン領域17が露出される。これらの領域にN形不純物の注入が行われ、そして拡散が行われる。その際、RSD領域15が同時に拡散する。ソース領域16およびドレイン領域17に対する注入は、RSD領域15の注入よりも高い濃度（N⁺形）で行われる。

【0027】最後に図7に示されているように、フォトレジスト層71を適切なパターンに作成した後、P⁺形バックゲート領域18が注入され、そして拡散が行われる。これらのP⁺形領域18は、N⁺形のソース領域16およびドレイン領域17の深さとほぼ同じ深さを有する不純物が高い濃度で添加された（P⁺形）領域である。それとは異なってP⁺形領域18の深さは、N⁺形ソース領域16およびN⁺形ドレイン領域17よりも深いことができる。

【0028】他の実施例では、ソース領域16の中にRSD層を備えることが可能である。このことは両方のRSD領域のブランケット注入と一緒に実行することができるであろうが、しかしこのことは、ソース領域16およびバックゲート領域18の後での注入による図1の構造を変えないであろう。この方式の利点は、マスク段階を省略することができることである。

【0029】図7の点線で示されているように、図1のRSD-LDMOSTランジスタ10は、図2～図7の工程により作成される回路の一部分である。適切なメタライゼーション段階を実行することにより、接続体と接

触体とを得ることができる。

【0030】図8は、 R_{sp} を抵抗路の長さの関数として示したグラフである。ここで、抵抗路の長さは、距離 L （チャンネル長）と L_d （ドリフト長）との和である。これらの距離が図1に示されている。図8に示されているように、 L_d が変化すると R_{sp} の値が変化する。 $V_g = 10$ ボルトの場合、 R_{sp} が $m\Omega \cdot cm^2$ の単位で示されている。チャンネル長 L は $1.5\mu m$ である。

【0031】図9は、ブレイクダウン電圧 BV を $L + L_d$ の関数として示したグラフである。ここで、 L_d が変化する。再び、 $V_g = 10$ ボルトで、チャンネル長 L は $1.5\mu m$ である。

【0032】図10は、 R_{sp} および BV を $L + L_d$ の関数として示したグラフである。ここで、 L が変化する。図8および図9と同じように、 $V_g = 10$ ボルトである。

【0033】図8～図10に示されているように、通常、 RSD LDMOSトランジスタ10は L が大きく L_d が小さい方が有利である。それは、逆バイアスによる欠乏領域がチャンネル領域の中でさらに広がるからである。最適特性のトランジスタ10は下記の動作特性を有するであろう。

【数1】 $R_{sp} = 0.39 m\Omega \cdot cm^2$

$V_{gs} = 12.75$ ボルト

$BV = 24.4$ ボルト

ここで、ゲート・ストレスは $3MV/cm$ であり、酸化物の厚さ T_{ox} は425オングストロームである。

【0034】図11は、 R_{sp} を規格化されたゲート電圧 $V_{gs} - V_t$ の関数として示したグラフである。ここで、 T_{ox} は425オングストロームであり、 $V_g = 10$ ボルトである。目標電圧 V_t は1.6ボルトである。

【0035】他の実施例

前記において本発明が詳細に説明されたが、本発明の範囲内において種々の変更、置換えおよびその他の実施例がまた可能であることを断っておく。

【0036】以上の説明に関して更に以下の項を開示する。

(1) 第1導電形の半導体層と、前記第1導電形と反対の導電形である第2導電形を有しおよび前記半導体層の中にウェルとして形成された、第2領域と、前記第2領域の中にウェルとして形成された前記第1導電形の第3領域と、前記第3領域の中に形成された前記第2導電形のソース領域と、前記第2領域の中で前記ソース領域から間隔をあけて作成されおよびドレイン添加不純物濃度を有する、前記第2導電形のドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記第2領域の中で前記ドレイン領域に隣接して作成されおよび前記ドレイン添加不純物濃度よりは小さな添加不純物濃度を有する前記第2導電形の RSD 領域であって、前記ソース領域と前記 RSD 領域との間に前記第3領域がチャンネルを形成するように前記ソース領域が前記 RSD 領域から

間隔をあけて作成された、前記 RSD 領域と、前記ソース領域の少なくとも一部分の上および前記チャンネルの上および前記 RSD 領域の少なくとも一部分の上に配置されたゲートと、前記第3領域の中で前記ソース領域に隣接して作成された前記第1導電形のバックゲート領域であって、前記ソース領域が前記バックゲート領域および前記チャンネルを分離する、前記バックゲート領域と、を有する、縮小した表面ドレイン (RSD) LDMOSトランジスタ。

【0037】(2) 第1項記載のトランジスタであって、前記第1導電形がP形であり、前記第2導電形がN形である、前記トランジスタ。

(3) 第1項記載のトランジスタであって、第1添加不純物濃度を有する第1部分層と前記第1添加不純物濃度よりも小さな濃度の第2添加不純物濃度を有する第2部分層とを前記半導体層が備える、前記トランジスタ。

(4) 第1項記載のトランジスタであって、前記第2領域の添加不純物濃度よりも大きな添加不純物濃度を前記ソース領域が有する、前記トランジスタ。

(5) 第1項記載のトランジスタであって、前記第2領域の添加不純物濃度よりも大きな添加不純物濃度を前記ドレイン領域が有する、前記トランジスタ。

(6) 第1項記載のトランジスタであって、前記第2領域が低い添加不純物濃度を有する高電圧領域である、前記トランジスタ。

(7) 第1項記載のトランジスタであって、前記第3領域が低い添加不純物濃度を有する領域である、前記トランジスタ。

(8) 第1項記載のトランジスタであって、前記ゲートの下に配置されおよび前記トランジスタにわたってプレナである、前記トランジスタ。

【0038】(9) 第1導電形の半導体層を作成する段階と、前記第1導電形と反対の導電形である第2導電形を有しおよび前記半導体層の中にウェルとして形成された、第2領域を作成する段階と、前記第2領域の中にウェルとして形成された前記第1導電形の第3領域を作成する段階と、前記第3領域の少なくとも一部分の上にゲートを作成する段階と、前記第2領域の中に前記第2導電形の RSD 領域を作成する段階であって、前記 RSD 領域の第1側面が前記ゲートの第1側面と整合し、および前記 RSD 領域が前記ゲートから外側に広がっている、前記 RSD 領域を作成する前記段階と、前記第3領域の中に前記第2導電形のソース領域を作成する段階であって、前記ソース領域と前記 RSD 領域との間に前記第3領域がチャンネルを形成するように前記ソース領域が前記ゲートの第2側面の下でかつ前記 RSD 領域から間隔をあけて配置された、前記ソース領域を作成する前記段階と、前記 RSD 領域により前記ゲートの第1側面から間隔をあけて配置された前記第2導電形のドレイン領域を前記第2領域の中に作成する段階と、を有し、お

よび前記ソース領域および前記ドレイン領域の添加不純物濃度が前記RSD領域の添加不純物濃度よりも大きい、RSD LDMOSトランジスタの製造法。

【0039】(10) 第9項記載のトランジスタであって、前記第1導電形がP形であり、および前記第2導電形がN形である、前記トランジスタ。

(11) 第10項記載のトランジスタであって、前記RSD領域が前記ゲートの両方の側面に隣接して外側に広がるように、RSD領域を作成する前記段階がさらに実行される、前記トランジスタ。

(12) 縮小された表面ドレイン(RSD)領域15を有するがその他は従来のプレナLDMOSトランジスタと同様であるLDMOSトランジスタが得られる。ドレイン領域17をゲート14から間隔をあけて配置するために、RSD領域が用いられる。ゲート14を作成するために用いられるポリシリコン工程の後(図5)に、このことが実行される。トランジスタを作成するのに用いられる工程は、従来のプレナLDMOSデバイスに対して用いられる工程と両立可能である。

【図面の簡単な説明】

【図1】本発明に従うRSD LDMOSトランジスタの横断面正面図。

【図2】図1のRSD LDMOSトランジスタを製造する際の初期の段階の半導体ウエハの横断面正面図。

【図3】図2の次の段階の半導体ウエハの横断面正面図。

【図4】図3の次の段階の半導体ウエハの横断面正面図。

【図5】図4の次の段階の半導体ウエハの横断面正面図。

【図6】図5の次の段階の半導体ウエハの横断面正面図。

【図7】図6の次の段階の半導体ウエハの横断面正面図。

【図8】 L_d が変化した場合、 R_{sp} を図1の抵抗路 $L + L_d$ の関数として示したグラフ。

【図9】 L_d が変化した場合、 BV を図1の抵抗路 $L + L_d$ の関数として示したグラフ。

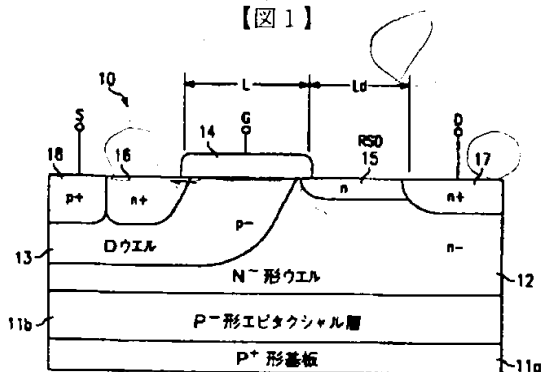
【図10】 L が変化した場合、 R_{sp} および BV を図1の抵抗路 $L + L_d$ の関数として示したグラフ。

【図11】規格化されたゲート電圧の関数として R_{sp} を示したグラフ。

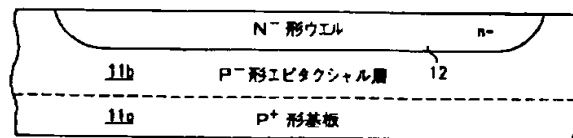
【符号の説明】

- 10 LDMOSトランジスタ
- 11 半導体層
- 12 第2領域
- 13 第3領域
- 14 ゲート
- 15 RSD領域
- 16 ソース領域
- 17 ドレイン領域
- 18 バックゲート領域

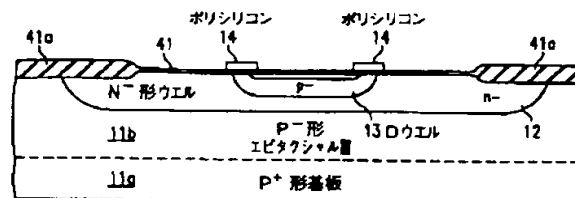
【図1】



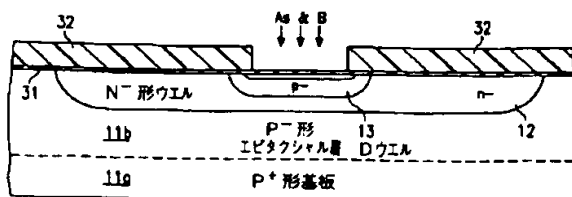
【図2】



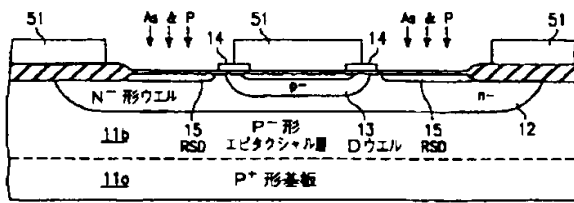
【図4】



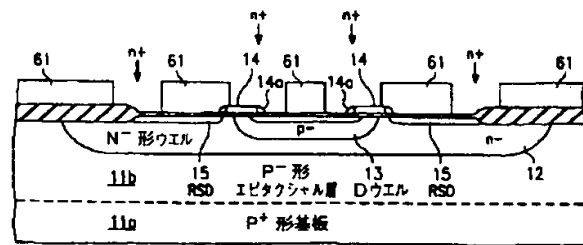
【図3】



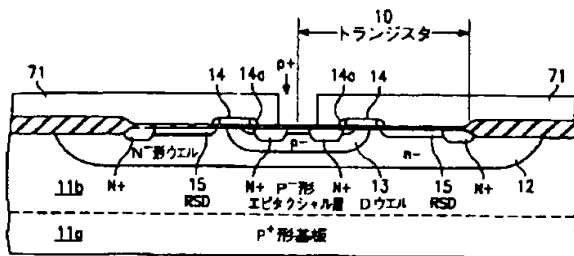
【図5】



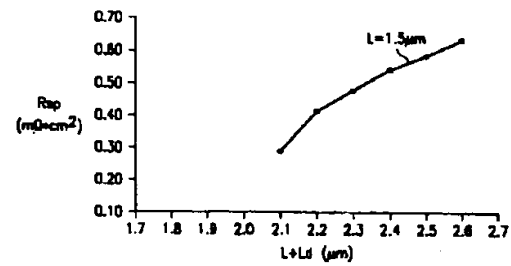
【図6】



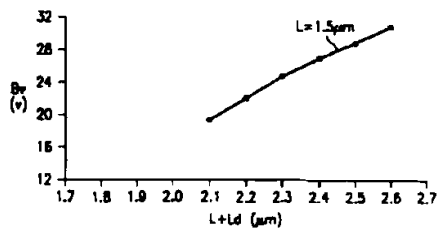
【図7】



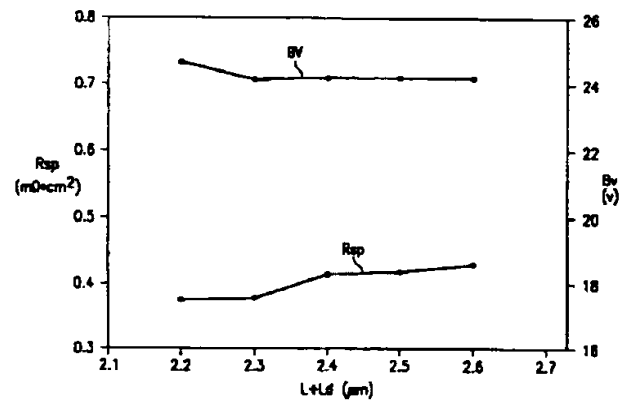
【図8】



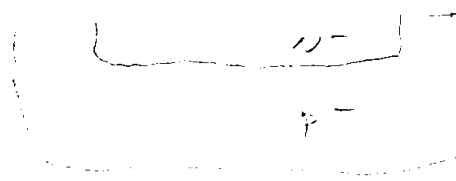
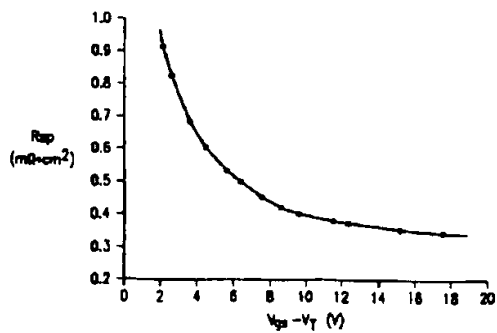
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 ジョン ピー、エルデルジャック
アメリカ合衆国 テキサス州プラノ、グラ
スゴー ドライブ 3700

(72)発明者 ジョゼフ シー、ミトロス
アメリカ合衆国 テキサス州リチャードソ
ン、イー、スプリング バレイ ロード
1300

(72)発明者 ルイス ニコラス ハッター
アメリカ合衆国 テキサス州リチャードソ
ン、シルバー ホリー レーン 2303